

(10) 日本特許庁 (JP) (12) 公開特許公報 (A)

(11) 特許公開番号
特開2000-232075
(P2000-232075A)
(43) 公開日 平成12年8月22日 (2000.8.22)

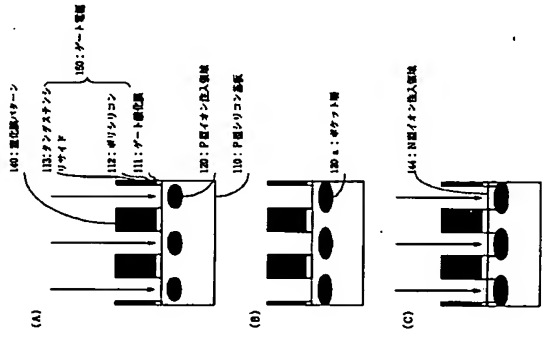
(51) Int.Cl. ⁷	識別記号	F I	チコード (参考)
H01L 21/265	21/265	H01L 21/265	F 5 F040
29/78	29/78	29/78	301P
21/338	21/338		

審査請求 未請求 請求項の数 4 OL (全 10 頁)

(21) 出願番号	特願平11-32784	(71) 出願人	000000295 神電炭工業株式会社
(22) 出願日	平成11年2月10日 (1999.2.10)	(72) 発明者	東京都港区虎ノ門1丁目7番12号 細田 博文
		(73) 発明者	東京都港区虎ノ門1丁目7番12号 神電炭 工業株式会社内
		(74) 代理人	100089093 弁理士 大西 健治
		Fターム(参考)	5F040 D01 E001 E004 E007 E013 E002 E011 E005 E008 E001 E002 E003 F003 F007 F017 F018 F019 F020 F020

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】
【目的】 半導体装置、特にポッケット層を有するMOS FETの製造工程において、微細化により不純物イオンをシリコン基板に対して斜め方向から注入することが困難になった場合でも、傾斜にポッケット層を有するMOS FETを形成する。
【構成】 P型シリコン基板110上にゲート酸化膜111、ポリシリコン112およびタングステンシリサイド113からなるゲート電極150、窒化膜パターン440を選択的に形成した後、P型の不純物イオン注入をP型シリコン基板に対して垂直に行う。そして、このP型の不純物イオン注入により形成されたP型イオン注入領域120を他のイオン注入領域を形成する前に拡散させて活性化し、ポッケット層120aを形成する。



【特許請求の範囲】
【請求項1】 第1導電型の半導体基体表面上に、ゲート絶縁膜およびゲート絶縁膜上にゲート電極を選択的に積層形成する工程と、
前記ゲート電極をマスクにして、第1導電型の不純物を前記半導体基体表面より所定の深さまで注入する工程と、
前記不純物を前記ゲート電極下のチャネル領域の所定部に拡散させる工程と、
前記拡散工程後、前記ゲート電極をマスクにして、第2導電型の不純物を前記半導体基体表面より所定の深さまで注入する工程と、
前記不純物を前記第2導電型の不純物を拡散させることにより、第2導電型のソースおよびドレインを形成する工程とを有することを特徴とする半導体装置の製造方法。
【請求項2】 請求項1に記載の半導体装置の製造方法において、前記第1導電型の不純物を導入する工程後、前記第1導電型の不純物を拡散させる工程の前に、前記第1導電型の不純物を導入した部分の前記半導体基体の露出した表面を覆う外部拡散防止用膜を形成する工程を行うことを特徴とする半導体装置の製造方法。
【請求項3】 請求項2に記載の半導体装置の製造方法において、前記外部拡散防止用膜を形成する工程は、前記第1導電型の不純物の外部拡散を防止可能な膜厚にまで成長させた後、前記第1導電型の不純物が熱拡散する温度まで上昇させて行うことを特徴とする半導体装置の製造方法。
【請求項4】 請求項1に記載の半導体装置の製造方法において、前記第1導電型の不純物を前記チャネル領域の前記所定部へ拡散させる工程後、
前記ソースまたは前記ドレインと、前記チャネル領域に挟まれた領域に、前記ソースと同一導電型で、かつ前記ソースに比して低濃度の不純物領域を形成する工程を行うことを特徴とする半導体装置の製造方法。
【発明の詳細な説明】
【0001】
【産業上の利用分野】 この発明は半導体装置、特にポッケット層を用いたMOSFETの製造方法に関するものである。
【0002】
【従来の技術】 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) においては、ゲート長を縮小する上で問題となってくる短チャネル効果を抑制するために、ソース・ドレインとチャネル領域に挟まれた領域に、低濃度かつ浅接合でソース・ドレインと同じ導電型の不純物層であるLDD (Lightly Doped Drain) 層を有する構造がよく用いられている。しかし、ゲート長が0.25μm以下になると、LDD構造だけでは短チャネル効果を抑制することは困難になってくる。そこで、ポッケット層を有する構造を用いられること

が多くなってきた。
【0003】 ポッケット層は、ソース・ドレインと異なる導電型の不純物を、動作時にチャネル領域下で空乏層が広がる部分に形成する必要がある。そのために、半導体基板表面に対して斜め方向からイオン注入を行う。これにより形成されたイオン注入領域を、他のイオン注入領域、例えばソース・ドレインとなるイオン注入領域などを形成した後、これらと同時に活性化させて形成する。
【0004】 図7および図8は従来のMOSFETの形成工程を示す断面工程図である。これを用いて従来のポッケット層を有するMOSFETの形成プロセスを以下に簡単に説明する。
【0005】 まず図7 (A) に示すように、P型シリコン基板410上に酸化膜、ポリシリコン膜、タングステンシリサイド膜および窒化膜を順に形成する。それからこれらの4層の膜をパターンニングしてゲート酸化膜411、ポリシリコン412とタングステンシリサイド413からなるゲート電極450、および窒化膜パターン440を選択的に形成する。それからP型シリコン基板410中に、P型の不純物イオン、例えばBF₃を、窒化膜パターン414およびゲート電極450をマスクにして、図7 (A) の矢印で示すようにP型シリコン基板410の表面に対して斜め方向から注入し、P型イオン注入領域420を形成する。
【0006】 次に図7 (B) に示すように、P型シリコン基板410中に、N型の不純物イオン、例えばAs⁺を、窒化膜パターン414およびゲート電極450をマスクにして、図7 (B) の矢印で示すようにP型シリコン基板410の表面に対して垂直に注入し、N型イオン注入領域440を形成する。このイオン注入でのドーズ量は図7 (C) におけるソース・ドレイン層423a形成のために行うイオン注入のドーズ量の100分の程度である。
【0007】 次に図7 (C) に示すように、ゲート電極450、窒化膜パターン440およびゲート酸化膜411の領域に窒化膜からなるサイドウォールスペーサ541を選択的に形成し、次にP型シリコン基板410中に、N型の不純物イオン、例えばAs⁺をサイドウォールスペーサ441および窒化膜パターン440をマスクにして、P型シリコン基板410の表面に対して垂直に注入し、N型イオン注入領域423を形成する。
【0008】 次に図8 (A) に示すように熱処理を行うことで、今までに形成した各イオン注入領域420、444、423をそれぞれ活性化させ、イオン注入領域420からLDD層420aを、イオン注入領域444からLDD層444aを、そしてイオン注入領域423からはソース・ドレイン層423aを形成する。それから全面にSiO₂などの絶縁性の膜層415を形成し、ソース・ドレイン層423aの上側にコンタクトホール430を開孔させる。

【0009】次に図8(B)に示すように、コンタクトホール430内にコンタクト図432を埋め込み、このコンタクト図432の上に配線図431を形成する。

【0010】

【発明が解決しようとする課題】以上に述べたように従来のポケット図の形成工程では、シリコン基板表面に対して斜め方向からイオン注入を行い、動作時にチャネル領域下で変電する部分がイオン注入領域を形成し、その後、このイオン注入領域を活性化することによってポケット図を形成していた。

【0011】しかしながら、微細化が進みデザインルールが例えば0.18 μm 以下になってくると、ゲート電極同士の間隔がゲート電極の高さに比べて狭くなり、シリコン基板表面に対して斜め方向からイオン注入を行うと、図のゲート電極の間に隠れて不純物イオンが注入され、シャド効果が見えはじめる。こうなるとイオン注入領域が、動作時にチャネル領域下で変電する部分が広がり、ポケット図を形成することができなくなる。一方、全イオン注入領域を形成後に、イオン注入領域を拡散を長くして、ポケット図を形成する方法を用いると、他のイオン注入、例えばソース・ドレインとなるイオン注入領域が拡散しすぎてしまい、デバイス特性を劣化させてしまう。

【0012】本発明の目的は、短チャネル効果がより顕著となるデザインルール0.18 μm 以下の世代の半導体装置においても、ポケット図を確実に形成できる半導体装置の製造方法を提供することにある。

【0013】

【課題を解決するための手段】上述の目的を達成するための、本発明の半導体装置の製造方法は、第1導電型の半導体基板表面に、ゲート絶縁膜およびゲート絶縁膜上に位置するゲート電極を選択的に形成する。次に第1導電型の不純物を、ゲート電極をマスクにして半導体基板表面に対して垂直に導入することにより、半導体基板中の所定の深さに第1導電型のイオン注入領域を形成する。このイオン注入領域をゲート電極に対応するチャネル領域の下に位置するように拡散させることにより、活性化する。その後ゲート電極をマスクにして、第2導電型の不純物を半導体基板表面より所定の深さに導入することにより、第2導電型のイオン注入領域を形成する。それからこれを活性化させて第2導電型のソースおよびドレインを形成する。

【0014】

【発明の実施の形態】図1および図2は本発明の半導体装置の製造方法の第1の実施の形態について説明するための断面図である。以下、図1および図2を用いて本発明の第1の実施の形態について説明する。

【0015】本発明の第1の実施の形態を用いて、NMOSFET (N-type Metal Oxide Semiconductor Field Effect Transistor) を製造する場合について説明す

る。

【0016】まず、図1(A)に示すように、P型シリコン基板110上に酸化膜、ポリシリコン膜、タンダス・ドレイン層112および酸化膜を順に形成する。そしてこれらの4層の膜をパターンニングしてゲート酸化膜113からなるゲート電極150、および酸化膜パターン140を選択的に形成する。

【0017】次に、P型シリコン基板110中に酸化膜パターン114およびゲート電極150をマスクにして、P型シリコン基板110の表面に対して図1(A)の矢印で示すように垂直にP型の不純物イオンを注入して、P型イオン注入領域120を形成する。図1(A)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: BF_3 、イオン注入エネルギー: 約300keV、P型シリコン基板110の表面からの注入深さ: 0.07~0.10 μm 、ドーズ量: 約 $10^{13}/\text{cm}^2$ 。

【0018】次に図1(B)に示すように、P型イオン注入領域120を動作時にチャネル領域下で変電する部分が広がり、熱処理を行う。この熱処理によって、P型イオン注入領域120は拡散されることにより活性化されてポケット図120aとなる。

【0019】次に図1(C)に示すように、P型シリコン基板110中に酸化膜パターン114およびゲート電極150をマスクにして、P型シリコン基板110の表面に対して図1(C)の矢印で示すように垂直にN型の不純物イオンを注入して、N型イオン注入領域144を形成する。図1(C)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: As 、イオン注入エネルギー: 約20~300keV、P型シリコン基板の表面からの注入深さ: 約0.04~0.07 μm 、ドーズ量: 約 2×10^{13} ~ $5 \times 10^{13}/\text{cm}^2$ 。

【0020】次に図2(A)に示すように、ゲート電極150、酸化膜パターン140およびゲート酸化膜113の間に酸化膜からなるサイドウォールスペーサ141を形成する。

【0021】そして、P型シリコン基板110中に、サイドウォールスペーサ141および酸化膜パターン140をマスクにして、P型シリコン基板110の表面に対して垂直にN型の不純物イオンを注入して、N型イオン注入領域123を形成する。図2(A)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: As^+ 、イオン注入エネルギー: 約50keV、P型シリコン基板110の表面からの注入深さ: 約0.1 μm 、ドーズ量: 約 $5 \times 10^{15}/\text{cm}^2$ 。

【0022】次に図2(B)に示すように、約1000℃において約10秒熱処理を行う。この熱処理によって、N型イオン注入領域123は活性化されてソース・ドレイン層123aとなり、N型イオン注入領域144は活性化

されてLDD層144aとなる。次に、全面に SiO_2 などの絶縁性の層115を堆積させ、それからソース・ドレイン層1123aの上面に、フォトリソグラフィ工程とエッチング工程を行って、コンタクトホール130を開孔させる。

【0023】次に図2(C)に示すように、コンタクト層132を形成するため導電層を全面に堆積させ、エッチングまたはCMP (Chemical Mechanical Polishing) を行ってコンタクトホール130にコンタクト層132を形成する。最後に配線図131を堆積させてフォトリソグラフィ工程とエッチング工程でパターンニングする。なお、コンタクト層132を配線層として用いることも可能である。

【0024】なお酸化膜パターン140およびサイドウォールスペーサ141は、図2(B)におけるソース・ドレイン層123aの上面にコンタクトホール130を開孔するとき、フォトリソグラフィ工程におけるマスク開口するとき、フォトリソグラフィ工程におけるマスク開口を兼ねて生じる。ゲート電極150の露出を防ぐ必要がある。もしも、ゲート電極150が露出した状態で図2(B)に示したコンタクトホール130に図2(C)に示したコンタクト層132を形成すると、このコンタクト層132と、露出したゲート電極150が電気的に接続し、ショートしてしまう。したがって、ゲート電極150上に酸化膜パターン140を、およびゲート電極150、酸化膜パターン140およびゲート酸化膜113の間にサイドウォールスペーサ141を配し、おいておくことにより上記のずれに対する問題を解消できる。

【0025】上述した通り、本発明の第1の実施の形態の半導体装置の製造方法では、ポケット図120aとなるP型イオン注入領域120は、ソース・ドレイン層123aを形成する前に独立して熱拡散するため、ソース・ドレイン層123aの形成工程に影響を与えずに、ポケット図123aの形成工程に拡散させる。任意に設定できる。つまり、P型イオン注入領域120をイオン注入によって直接、動作時にチャネル領域下で空乏層が広がる部分に形成しなくてもいい。したがってP型の不純物のイオンをP型シリコン基板110の表面に対して垂直に注入することが可能になる。P型の不純物のイオンをゲート電極150によって運ばれ、高く、ポケット図120aを動作時にチャネル領域下で空乏層が広がる部分に形成することができ、これにより十分な短チャネル効果の抑制を行うことが可能になる。

【0026】さらにLDD層144aは、ポケット図120a形成の後に形成されるため、ポケット図120a形成工程に影響を与えることなく、形成することができ

る。これは、ポケット図120aとなるP型イオン注入領域120はLDD層144aとなるイオン注入領域144を形成する前に独立して熱拡散することができるからである。

【0027】本発明の第1の実施の形態ではNMOSFETを例にして説明したが、これに限られたものではなく、PMOSFET (P-type Metal Oxide Semiconductor Field Effect Transistor) を製造する場合には、P型シリコン基板110の代わりにN型シリコン基板を用いる。さらに図1(A)の工程においては、P型イオン注入領域120形成のためのP型の不純物イオン注入の代わりにN型の不純物イオンを注入して、N型イオン注入領域120を形成する。図1(A)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: P^+ または As^+ 、イオン注入エネルギー: P^+ の場合は約70keV、 As^+ の場合は約150keV、N型シリコン基板の表面からの注入深さ: 0.07~0.10 μm 、ドーズ量: 約 $10^{13}/\text{cm}^2$ 。

【0028】さらに図1(C)の工程においては、N型イオン注入領域144形成のためのイオン注入の代わりにP型の不純物イオンを注入して、P型イオン注入領域144を形成する。図1(C)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: B 、 F_2^+ 、イオン注入エネルギー: 約20~300keV、N型シリコン基板の表面からの注入深さ: 約0.04~0.07 μm 、ドーズ量: 約 2×10^{13} ~ $5 \times 10^{13}/\text{cm}^2$ 。

【0029】そして図2(A)の工程においては、N型イオン注入領域123形成のためのイオン注入の代わりにP型の不純物イオンを注入して、P型イオン注入領域123を形成する。図2(A)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: B 、 F_2^+ 、イオン注入エネルギー: 約40keV、N型シリコン基板の表面からの注入深さ: 約0.15 μm 、ドーズ量: 約 $10^{15}/\text{cm}^2$ 。

【0030】その他の手順はNMOSFETの場合と同じである。

【0031】本実施例の半導体装置の製造方法は、半導体基板の一部に半導体基板と異なる導電型の基体を形成し、この基体の表面上に半導体装置を形成する場合にも適用することができる。

【0032】また本実施例ではP型シリコン基板110上の酸化膜を、ゲート電極150や酸化膜パターン140と同時にパターンニングして、ゲート酸化膜113を形成しているが、この方法に限られるものではなく、P型シリコン基板110上の酸化膜のパターンニングによるゲート酸化膜113の形成は、ポケット図120a形成後、N型イオン注入領域144形成前に行ってもいい。【0033】あるいはLDD層144aの代わりに、エクステンション層を形成してもいい。このとき、不純物

入する不純物イオンの種類：BF₂⁺、イオン注入エネルギー：約30keV、P型シリコン基板310の表面からの注入深さ：0.07~0.10μm、ドーズ量：約10¹³/cm²。

【0060】次に図5(B)に示すように、まずP型イオン注入領域320中に含まれるP型の不純物イオンが、P型シリコン基板310の外部に拡散しない程度の温度として例えば700℃で、かつ乾燥雰囲気中で熱処理し、続いて800~850℃に温度を上げて、P型イオン注入領域320を拡散させることにより活性化させてポッケット層320aを形成する。この際、例えばSiO₂膜である外部拡散防止用膜342も形成される。つまり、図5(B)に示す工程にて、P型イオン注入領域320中に含まれるP型の不純物イオンの外部拡散防止およびポッケット層320a形成を連続して行う。

【0061】次に図5(C)に示すように、外部拡散防止用膜342を取り除く。それからP型シリコン基板310中に窒化膜パターン314およびゲート電極350をマスクとして、P型シリコン基板310の表面に対して図5(C)の矢印で示すように垂直にN型の不純物イオンを注入して、N型イオン注入領域344を形成する。図5(C)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類：As⁺、イオン注入エネルギー：約20~30keV、P型シリコン基板の表面からの注入深さ：約0.04~0.07μm、ドーズ量：約2×10¹³~5×10¹³/cm²。

【0062】次に図6(A)に示すように、ゲート電極350、窒化膜パターン340およびゲート酸化膜311の隔壁に窒化膜ならなるサイドウォールスペース341を形成する。

【0063】そして、P型シリコン基板310中に、サイドウォールスペース341および窒化膜パターン340をマスクとして、P型シリコン基板310の表面に対して垂直にN型の不純物イオンを注入して、N型イオン注入領域323を形成する。図6(A)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類：As⁺、イオン注入エネルギー：約50keV、P型シリコン基板310の表面からの注入深さ：約0.1μm、ドーズ量：約5×10¹⁵/cm²。

【0064】次に図6(B)に示すように、約1000℃において約10秒熱処理を行う。この熱処理によって、N型イオン注入領域323は活性化されてソース・ドレインイオン注入領域323aとなり、N型イオン注入領域344は活性化されてLDD層344aとなる。次に、全面にSiO₂膜などの絶縁性の層膜315を堆積させ、それからソース・ドレイン層323aの上部に、フォトリソグラフィ工程とエッチング工程を行って、コンタクトホール330を開口させる。

【0065】次に図6(C)に示すように、コンタクト層332を形成するため導電膜を全面に堆積させ、エッチバックまたはCMPを行ってコンタクトホール内33

0にコンタクト層332を形成する。最後に配線層331を堆積させてフォトリソグラフィ工程とエッチング工程でパターンニングする。なお、コンタクト層332を配線層として用いることも可能である。

【0066】なお窒化膜パターン340およびサイドウォールスペース341は、図6(B)におけるソース・ドレイン層323aの上部にコンタクトホール330を開口するとき、フォトリソグラフィ工程におけるマスク合わせのずれに起因して、コンタクトホールの開口位置がずれた場合に生じる、ゲート電極350の露出を防ぐ役割がある。もしも、ゲート電極350が露出した状態で図6(B)に示したコンタクトホール330に図6(C)に示したコンタクト層332を形成すると、このコンタクト層332と、露出したゲート電極350が電気的に接触し、ショートしてしまう。したがって、ゲート電極350上に窒化膜パターン340を、およびゲート電極350、窒化膜パターン340およびゲート酸化膜311の隔壁にサイドウォールスペース341を配し、おくことにより上記のずれに対する問題を解消できる。

【0067】上述した通り、本発明の第3の実施の形態の半導体装置の製造方法では、ポッケット層320aとなるP型イオン注入領域320は、ソース・ドレイン層323aを形成する前に独立して熱拡散するため、ソース・ドレイン層323aの形成工程に影響を与えずに、ポッケット層320aとなるP型イオン注入領域320の拡散条件を任意に設定できる。つまり、P型イオン注入領域320をイオン注入によって直接、動作時にチャネル領域で空乏層が広がる部分に形成しなくてもいい。したがってP型の不純物イオンをP型シリコン基板310の表面に対して垂直に注入することが可能になるので、P型の不純物イオンをゲート電極350によって遮られることなく注入できる。したがってゲート電極350の高さが高く、隣合うゲート電極350同士の間隔が狭い場合でも、ポッケット層320aを動作時にチャネル領域で空乏層が広がる部分に形成することができ、これにより十分な短チャネル効果の抑制を行うことが可能になる。

【0068】さらにLDD層344aは、ポッケット層320a形成の後に形成されるため、ポッケット層320a形成工程に影響を与えずに、形成することができ、つまり、ポッケット層320aとなるP型イオン注入領域320はLDD層344aとなるイオン注入領域344aを形成する前に独立して熱拡散することができらる。

【0069】さらに、図5(B)に示した外部拡散防止用膜342の堆積工程を有することにより、P型イオン注入領域320を熱拡散によって活性化させてポッケット層320aを形成するとき、P型イオン注入領域320中の不純物イオンが外部拡散防止用膜342に遮断され

るので、この不純物イオンがP型シリコン基板310の外部に拡散していくことを防ぐことができる。さらに、P型イオン注入領域320中の不純物イオンの外部拡散防止用膜342形成およびポッケット層320a形成を連続して行うため、本発明第2の実施例よりもMOSFET形成工程を簡便にできる。

【0070】本発明の第3の実施の形態ではNMOSFETを例にして説明したが、これに限られたものではなく、PMOSFETを製造する場合に用いてもよい。PMOSFETを製造する場合には、P型シリコン基板310の代わりにN型シリコン基板を用いる。さらに図5(A)の工程においては、P型イオン注入領域320形成のためのP型のイオン注入では、代わりにN型の不純物イオンを注入して、N型イオン注入領域を形成する。図5(A)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類：P⁺またはAs⁺、イオン注入エネルギー：P⁺の場合は約70keV、As⁺の場合は約50keV、N型シリコン基板の表面からの注入深さ：0.07~0.10μm、ドーズ量：約10¹³/cm²。

【0071】さらに図5(C)の工程においては、N型イオン注入領域344形成のためのイオン注入は、代わりにP型の不純物イオンを注入して、P型イオン注入領域を形成する。図5(C)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類：BF₂⁺、イオン注入エネルギー：約20~30keV、N型シリコン基板の表面からの注入深さ：約0.04~0.07μm、ドーズ量：約2×10¹³~5×10¹³/cm²。

【0072】そして図6(A)の工程においては、N型イオン注入領域323形成のためのイオン注入は、代わりにP型の不純物イオンを注入して、P型イオン注入領域を形成する。図6(A)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類：BF₂⁺、イオン注入エネルギー：約40keV、N型シリコン基板の表面からの注入深さ：約0.15μm、ドーズ量：約3×10¹⁵/cm²。

【0073】その他の手順はNMOSFETの場合と同じである。

【0074】本実施例の半導体装置の製造方法は、半導体基板の一部に半導体基板と異なる導電型の基体を形成し、この基体の表面上に半導体装置を形成する場合にも使うことができる。

【0075】また本実施例ではP型シリコン基板310上の酸化膜を、ゲート電極350や窒化膜パターン340と同時にパターンニングして、ゲート酸化膜311を形成しているが、この方法に限られるものではなく、P型シリコン基板310上の酸化膜のパターンニングによるゲート酸化膜311の形成は、外部拡散防止用膜342を

取り除くときに行ってもよい。

【0076】あるいはLDD層344aの代わりに、エクステンション層を形成してもよい。このとき、不純物イオン注入の条件は以下の通りである。注入する不純物イオンの種類：NMOSFETの場合As⁺、PMOSFETの場合BF₂⁺、イオン注入エネルギー：約5~10keV、P型シリコン基板の表面からの注入深さ：約0.03~0.05μm、ドーズ量：NMOSFETの場合約3×10¹⁴~1×10¹⁵/cm²、PMOSFETの場合約1×10¹⁴~5×10¹⁴/cm²。

【0077】

【発明の効果】以上説明したように本発明の実施の形態を用いることにより、MOSFET形成において、斜めイオン注入によるポッケット層の形成が困難になってくるデザインルール0.18μm程度以下の世代の半導体装置でも、確実にポッケット層を形成することができ、

【図面の簡単な説明】

【図1】本発明の第1の実施例の工程その1を断面図で示すものである。

【図2】本発明の第1の実施例の工程その2を断面図で示すものである。

【図3】本発明の第2の実施例の工程その1を断面図で示すものである。

【図4】本発明の第2の実施例の工程その2を断面図で示すものである。

【図5】本発明の第3の実施例の工程その1を断面図で示すものである。

【図6】本発明の第3の実施例の工程その2を断面図で示すものである。

【図7】従来の工程その1を断面図で示すものである。

【図8】従来の工程その2を断面図で示すものである。

【符号の説明】

110：P型シリコン基板

111：ゲート酸化膜

112：ポリシリコン

113：タンダグステンシリサイド

115：層間膜

120：P型イオン注入領域

120a：ポッケット層

123：N型イオン注入領域

123a：ソース・ドレイン層

130：コンタクトホール

131：配線層

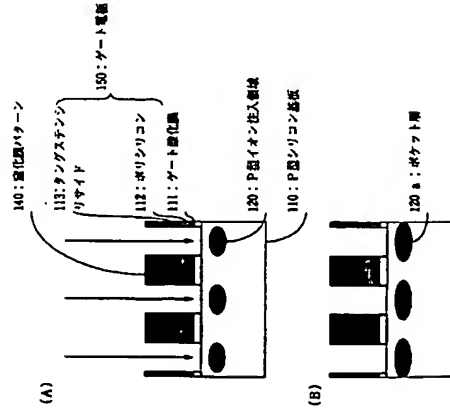
132：コンタクト層

140：窒化膜パターン

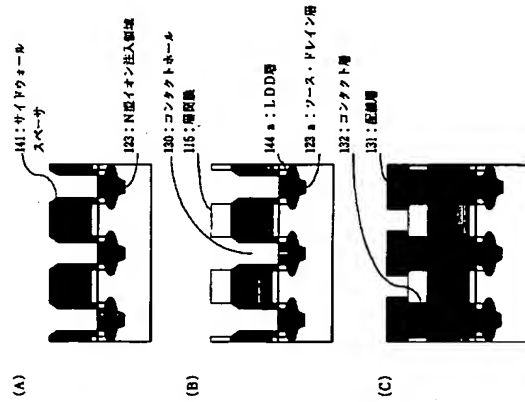
141：サイドウォールスペース

150：ゲート電極

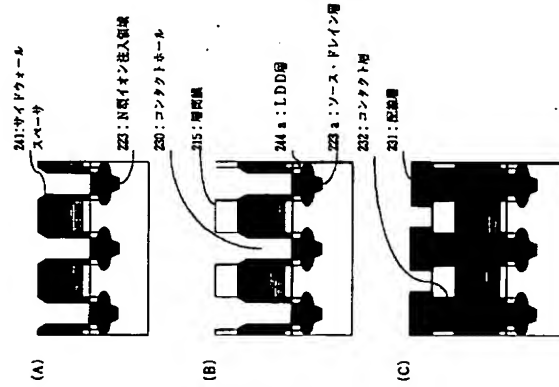
【図1】



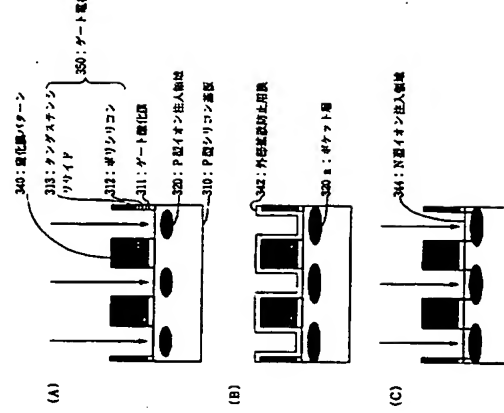
【図2】



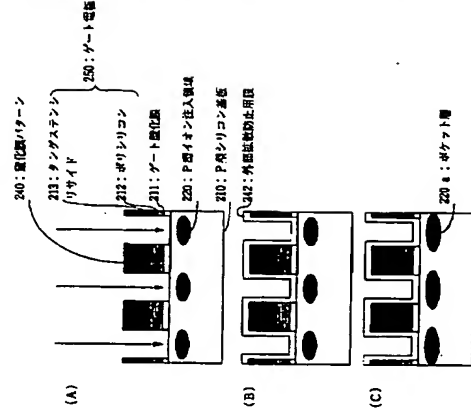
【図4】



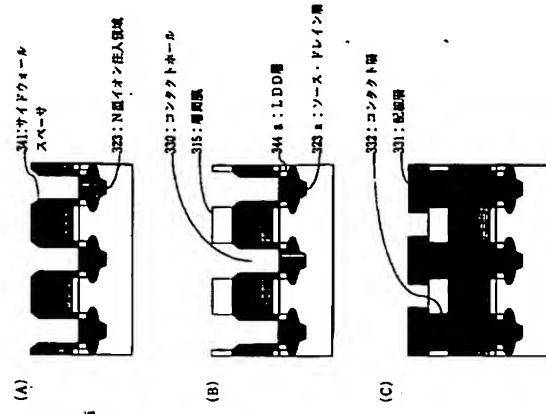
【図5】



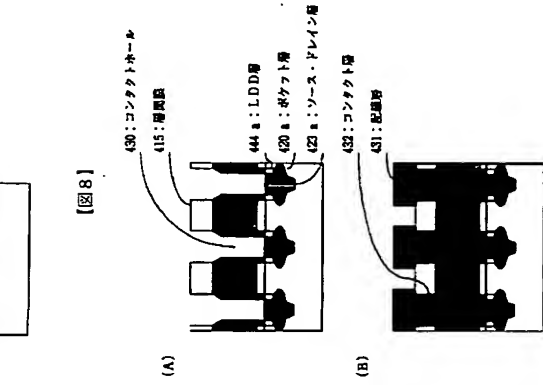
【図6】



【図7】



【図8】



【図9】

